

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-299459

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.⁵

H 01 L 21/60

識別記号

301 C 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平4-106386

(22)出願日

平成4年(1992)4月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 青柳 仁

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72)発明者 寺地 仁

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(74)代理人 弁理士 鈴江 武彦

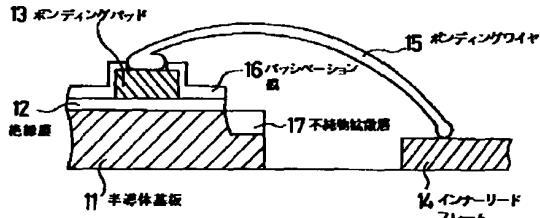
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】この発明は、ボンディングワイヤーの変形により引き起こすエッジタッチ、およびボールボンディングがチップエッジ近傍へ及んだ時に起こる半導体基板とのショートやピン間ショートを防止した半導体装置を提供することを目的とする。

【構成】この発明の半導体装置は、半導体基板11上に形成された複数のボンディングパッド13と、このボンディングパッドからスクリーブライン方向へ向けチップエッジに至るまでの領域に、上記複数のボンディングパッド毎に独立して設けられた電気的にフローティングとなる不純物拡散領域17とを具備してなり、上記の目的を達成することが出来る。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数のポンディングパッドと、このポンディングパッドからスライブライン方向へ向けチップエッジに至るまでの領域に、上記複数のポンディングパッド毎に独立して設けられた電気的にフローティングとなる不純物拡散領域とを具備することを特徴とする半導体装置。

【請求項2】 上記不純物拡散領域は上記半導体基板とは相異なる拡散であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記不純物拡散領域は上記ポンディングパッド、スライブライン方向端からスライブライン間、又は上記ポンディングパッドを囲む形状に設定され、且つ上記ポンディングパッドの下層領域には存在しないことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置に係り、特に入出力信号を外囲器のインナーリードフレームに接続するために設けられたポンディングパッドに関する。

【0002】

【従来の技術】一般に、半導体装置のポンディングパッドと外囲器のインナーリードフレームとの接続方法として、ワイヤーボンディングがある。このワイヤーボンディングはAu、Al等をワイヤー材料として、直径25～30μmの極細線のワイヤーをノズル状の先端から出しながら移動するキャビラリによって、ポンディングパッドと外囲器のインナーリードフレームとを接続する。現在、主流となっているワイヤーボンディングは、圧着ボール径90～100μm、位置精度20～300μmでパッド配列間隔は最小150μm程度が実用化レベルとなっている。そして、半導体装置のポンディングパッドにワイヤーの一端が接続されると、キャビラリが一定の軌跡を描いてワイヤーを出しながら移動し、外囲器のインナーリードフレームへワイヤーの他端を接続する。

【0003】このようなワイヤーボンディングの分野においても、多ピン半導体装置の生産性向上や製品信頼性向上のために、ポンディング速度の向上やポンディング品質の向上を図る研究が進められている。しかしながら、こうしたワイヤーボンディングの状況の中、半導体装置の機能や集積度の向上あるいは接続パッド数の増加は、現状のポンディングの信頼性を維持するためのパッド周辺基準を取り入れて設計を行なうと、回路部分と周辺部分との面積の比において周辺部分の占める割合が次第に大きくなる傾向がある。こうした中、チップサイズ縮小のためパッド周辺の設計基準の見直しにも力が注がれていて、第1案としてパッド開口の縮小化、第2案としてパッドとチップエッジとの間隔を狭める等の検討が進められている。しかしながら、これらを容易に採用することは難しく、幾つかの問題が発生している。

【0004】先ず、第1の問題は、ポンディングパッドがチップエッジに近付くとボールポンディングが位置ズレを起こした場合、チップエッジに接してしまい半導体基板とショートあるいはピン間ショートを起こしてしまう。チップエッジとのショートは、ダイシングするための切り代として設けられたスライブラインが、ダイサーのブレードの破損防止のため、パッシベーション膜で覆われていないことに起因する。

【0005】次に、第2の問題としてポンディングパッドとインナーリードフレームとを接続するポンディングワイヤーの変形が上げられる。これは半導体装置の多ビン化が進み、ポンディングワイヤーが長くなつたことによりポンディングワイヤーの変形が起こり、チップエッジにポンディングワイヤーが接触し、半導体基板とのショートおよびピン間ショートの原因となつているものである。

【0006】上記の第1の問題、第2の問題を現在の技術で回避するためには、チップエッジとポンディングワイヤーとが接することのない距離にポンディングパッドを配置し、且つポンディングワイヤーがチップエッジに接することのないように、チップエッジとポンディングワイヤーとの間を十分にとり、ポンディングパッドとインナーリードフレームとを接続している。

【0007】即ち、従来の半導体装置におけるペレット間のスライブラインと切断に要する切り代に関する図を示すと図7のようになり、ペレット切断のために設けられたスライブラインは、隣り合うペレット(チップ)1、2との間隔を切断に必要となる切り代3と、スライバの精度および切断によるチップ周辺のクラック等を考慮したスライブライン幅4が設けられている。従つて、実際のチップエッジは半導体装置の設計上でのチップエッジと異なり、切り代3以外の残されたスライブライン部分の幅だけ大きくなる。チップ表面には、ポンディングパッド上の開口部を残しパッシベーション膜5が積層されているが、スライブラインにはスライバのブレードを傷めないために、チップ保護膜のパッシベーション膜5を積層していない。図7中の符号6はポンディングパッド、7は半導体基板である。

【0008】図8は半導体装置の外部接続端子として設けられた金属配線層のポンディングパッド6と外囲器のインナーリードフレーム8とを、ポンディングワイヤー9にて接続した従来例を示す。チップエッジはパッシベーション膜5のない部分がチップ周辺にある。図8中の符号10は絶縁膜である。

【0009】

【発明が解決しようとする課題】上記のような従来の構造では、図9に示すように、不具合が発生する。即ち、ポンディングパッド6とインナーリードフレーム8とを接続するポンディングワイヤー9が変形して、チップエッジに接触する。このようなポンディング状態になると

半導体基板7とのショートを起こす。又、同様な状態が複数のボンディングで発生した時は、ピン間ショートへの不具合原因にもなる。これらの問題を防ぐため、ワイヤーボンディングの高品質化に力が注がれており、ワイヤーラークの安定化の研究が進められている。

【0010】この発明の目的は、ボンディングワイヤーの変形により引き起こすエッジタッチ、およびボールボンディングがチップエッジ近傍へ及んだ時に起こる半導体基板とのショートやピン間ショートを防止した半導体装置を提供することである。

【0011】

【課題を解決するための手段】この発明は、半導体基板上に形成された複数のボンディングパッドと、このボンディングパッドからスライブライン方向へ向けチップエッジに至るまでの領域に、上記複数のボンディングパッド毎に独立して設けられた電気的にフローティングとなる不純物拡散領域とを具備する半導体装置である。そして、上記不純物拡散領域は、上記半導体基板とは相異なる拡散である。又、上記不純物拡散領域は、上記ボンディングパッド、スライブライン方向端からスライブライン間、又は上記ボンディングパッドを囲む形状に設定され、且つ上記ボンディングパッドの下層領域には存在しない。

【0012】

【作用】この発明によれば、従来の製造工程を何ら変えることなく半導体装置に取り入れることが出来、而もボールボンディングおよびボンディングワイヤーのエッジタッチによる不良の発生を防ぐことが出来る。

【0013】

【実施例】以下、図面を参照して、この発明の一実施例を詳細に説明する。

【0014】この発明の半導体装置は図1に示すように構成され、ボンディングパッドからダイシングされたチップエッジまでの周辺領域の断面図と外囲器のインナーリードフレームおよびボンディングパッドとインナーリードフレームとを接続するボンディングワイヤーである。

【0015】即ち、半導体基板11上に絶縁膜12が積層され、この絶縁膜12の上に金属配線層からなる複数のボンディングパッド13が形成されている。これら各ボンディングパッド13は外囲器に設けられたインナーリードフレーム14と金属配線からなるボンディングワイヤー15により接続されている。更に、ボンディングパッド13上の開口部を残しチップ保護膜であるパッシベーション膜16が積層されている。

【0016】この場合、半導体基板11に図のような電気的にフローティングとなる不純物拡散層17が、絶縁膜12およびパッシベーション膜16の各端部からスライブライン方向へ向けチップエッジに至るまでの領域に、各々のボンディングパッド13毎に独立して設けら

10

れる。尚、半導体装置の周辺構造と外囲器の接続構成は、従来技術と何ら変わるものはない。又、この発明は従来技術の半導体装置の周辺構造に対して電気的にフローティングとなる不純物拡散層17を形成したもので、工程の変更や追加は一切必要としない。

【0017】さて図2は、この発明において、ボンディングパッド13とインナーリードフレーム14とを接続するボンディングワイヤー15の変形により、チップエッジに接触した状態を示しており、変形したボンディング

20

グワイヤー15がチップエッジに接触しても、不純物拡散層17により半導体基板11とのショートあるいはピン間ショートを防いでいる。

【0018】尚、上記実施例ではワイヤーボンディングについて説明しているが、この発明はTABアセンブリ製品にて発生する同様のエッジタッチに対しても適用可能であり、十分に効果が得られる。TABの場合は、図3(a), (b)～図6(a), (b)に示すように、インナーリードフレームの変形によるチップ表面、又はチップエッジとの物理的接触が生じても、電気的接触は防止することが出来る。

20

【0019】即ち、図3(a), (b)および図4(a), (b)は、TABにおける不純物拡散領域がチップエッジ周辺部に占める時の実施例と応用例を示したものである。又、図5(a), (b)および図6(a), (b)は、TAB製品における不純物拡散領域がパッドを囲む形で占めた時の実施例と応用例を示したものである。尚、各図の符号18はバンプ、19はパッド、20はインナーリード、21はフローティングP形拡散層、22はフローティングN形拡散層、23はN形半導体基板、24はP形半導体基板、25はフィルム、26はパッシベーション膜である。

30

【0020】

【発明の効果】この発明によれば、従来の製造工程を何ら変えることなく半導体装置に取り入れることが出来、而もボールボンディングおよびボンディングワイヤーのエッジタッチによる不良の発生を防ぐことが出来る。即ち、ボンディングワイヤーがチップエッジに接触した場合、あるいはボールボンディングがスライブライン方向へズレを起こしてスライブライン上へボールボンディングが接した場合等においても、半導体基板あるいは隣接するボンディングパッドとが電気的に接続されることを未然に防止出来る。又、半導体装置のボンディングパッドをよりチップエッジへ近付けることが可能となり、チップサイズの縮小に寄与する。

40

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体装置を示す断面図。

【図2】この発明の半導体装置においてボンディングワイヤーが変形してチップに接触した状態を示す断面図。

50

【図3】(a), (b)はこの発明の他の実施例に係る

5

半導体装置を示す平面図と断面図。

【図4】(a), (b)はこの発明の別の他の実施例に係る半導体装置を示す平面図と断面図。

【図5】(a), (b)はこの発明の別の他の実施例に係る半導体装置を示す平面図と断面図。

【図6】(a), (b)はこの発明の別の他の実施例に係る半導体装置を示す平面図と断面図。

【図7】半導体装置におけるペレット間のスクリューブラインと切断に要する切り代との関係を示す斜視図。

【図8】従来の半導体装置におけるボンディングパッド 10

6

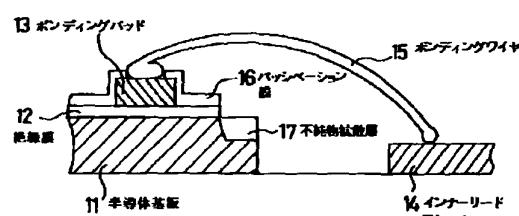
と外囲器のインナーリードフレームとの接続状態を示す断面図。

【図9】従来の半導体装置におけるボンディングに係わる不具合例を示す断面図。

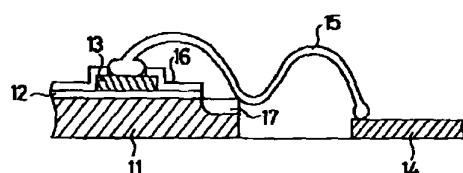
【符号の説明】

1 1…半導体基板、1 2…絶縁膜、1 3…ボンディングパッド、1 4…インナーリードフレーム、1 5…ボンディングワイヤー、1 6…パッシベーション膜、1 7…不純物拡散層。

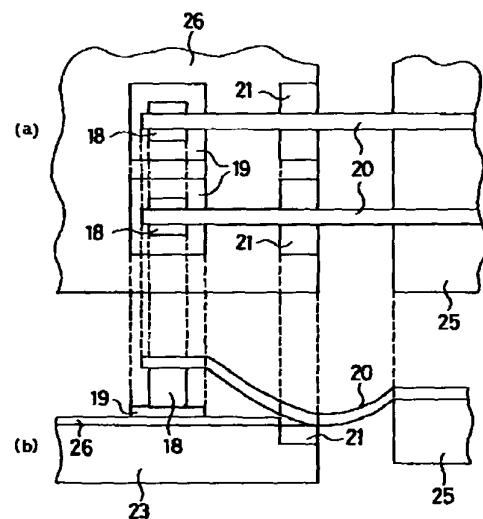
【図1】



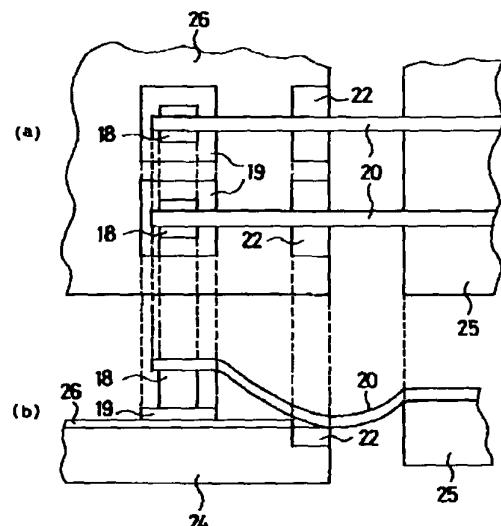
【図2】



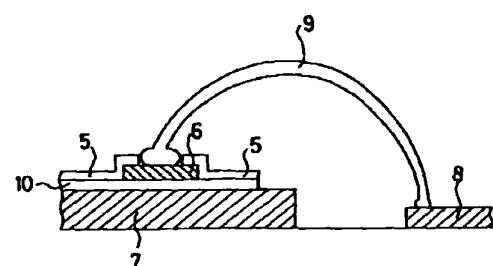
【図3】



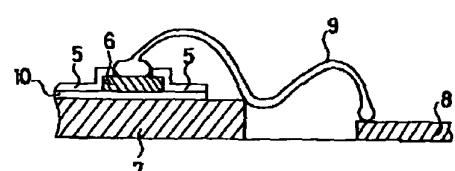
【図4】



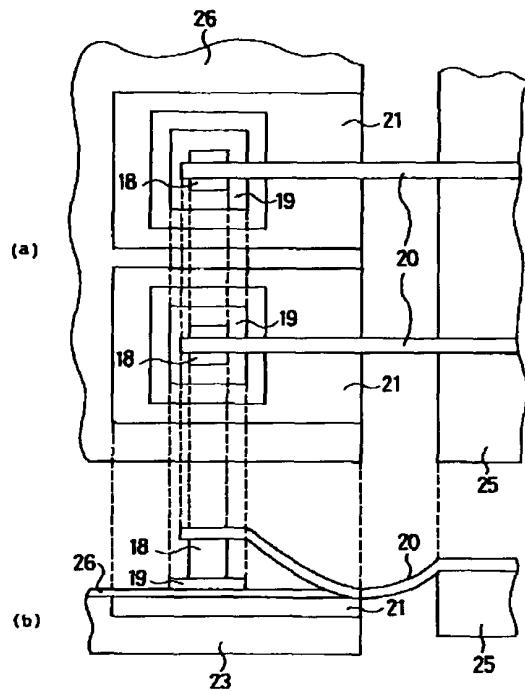
【図8】



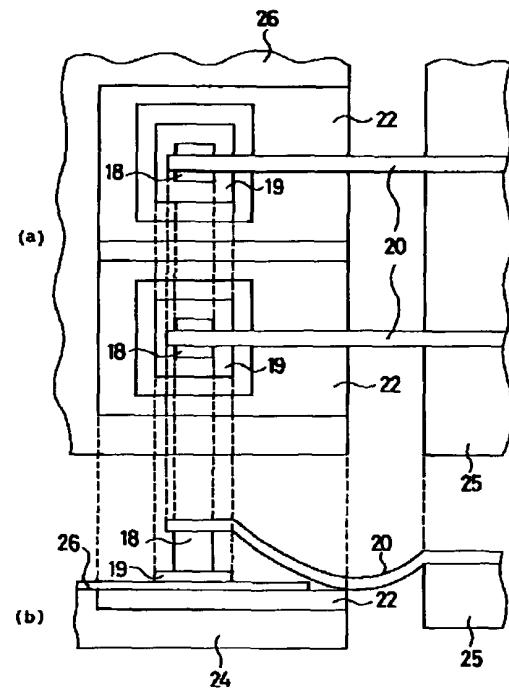
【図9】



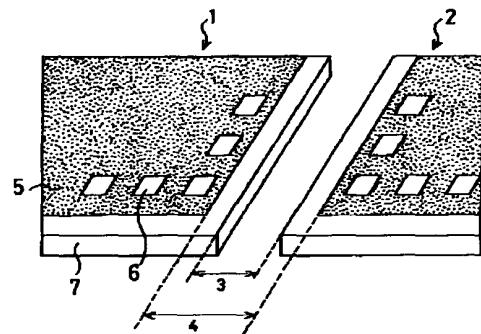
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 小島 愛基

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 安倍 功

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 増子 彰

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内